

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-214216

(43)Date of publication of application : 04.08.2000

(51)Int.Cl.

G01R 31/26
H01R 24/06

(21)Application number : 11-016620

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.01.1999

(72)Inventor : FUJITA YUJI
HACHIYA TOSHIHIRO
MURAMATSU MORIO

(54) SEMICONDUCTOR INSPECTING DEVICE

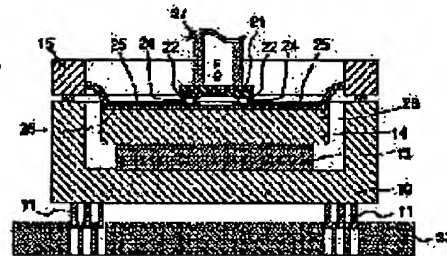
(57)Abstract:

PROBLEM TO BE SOLVED: To ensure the connection reliability of a semiconductor by allowing an insulation film and a wiring pattern to be elastically deformed according to the fluctuation of the height of a salient electrode that is formed at an input/ output terminal.

SOLUTION: A semiconductor 21 is retained by suction force F of a collet 27 and is moved to a specific position, and the salient electrode 24 is brought into contact with a wiring pattern 25. The height of the salient electrode 24 scatters depending on its formation method.

However, the reduction in the height irregularities is limited and a height scattering of approximately $\pm 5 \mu$ remains. When the salient electrode 24 that is subjected to a flattening process is brought into contact with the wiring pattern 25, the wiring pattern 25 and an insulation film 26 are elastically deformed so that a height, irregularities of approximately $\pm 5 \mu$ can be absorbed.

The electrical connection of all salient electrodes 24 and the wiring patterns 25 are secured by the elastic deformation, thus inspecting the function of the semiconductor 21. By removing the semiconductor 21 due to suction force F of a collet 27 after inspection is completed, the wiring pattern 25 and the insulation film 26 that have been elastically deformed return to a shape before inspection.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

BEST AVAILABLE COPY

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(2)

特開2000-214216

2

【特許請求の範囲】

【請求項1】半導体の入出力端子に形成された複数の突起電極を介して電気信号を供給することで、半導体の検査を行う半導体検査装置において、前記突起電極が配列された領域を含むように配置された可撓性の絶縁フィルムと、前記絶縁フィルム上に形成され、前記突起電極と接触可能な所定の配線パターンとを有し、前記突起電極を前記配線パターンへ押し付ける際に、前記配線パターンまたは前記絶縁フィルムが前記突起電極の高さのばらつきに応じて弾性変形することで電気的接続を保つことを特徴とする半導体検査装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体検査装置に係り、特に接続信頼性に優れた半導体検査装置に関する。

【0002】

【従来の技術】従来の半導体検査装置として特開平7-221146号公報の例を図2を用いて説明する。半導体21の表面に形成された入出力パッド22と、コンタクトシート16の表面に形成されたパンプ17が相対するよう半導体21を配置する。次に、フタ19を半導体21の上面からかぶせ、ネジ20を締める。この締付け力は、半導体21を介してコンタクトシート16、および弾性体12へ伝わる。コンタクトシート16と弾性体12は弾性変形するので、半導体21の傾きや表面の反りに追従するようにコンタクトシート16が変形する。

【0003】その結果、パンプ17と入出力パッド22の間に一定の接触圧力を確保できるので、低抵抗かつ安定した電気的接続を実現できる。電気信号は、パンプ17から、コンタクトシート16の外周へ向かって形成された配線パターンを通り、その外側に設けられたソケットコネクタ15へ伝送される。さらに、ベース10の内部に形成された配線層、ベース10の底面に設けられたピン11を通して検査用配線基板23へ伝送され、以上の装置により半導体21の品質をチェックすることができる。

【0004】

【発明が解決しようとする課題】一般に低価格で入手できる半導体21の入出力パッド22はアルミ蒸着膜からなる。従来例では、パンプ17の先端に鋭角で細かい突起が形成されており、この突起が入出力パッド22の表面のアルミ酸化膜を破ることにより電気的接続を得る。多数の半導体21を検査する場合は、検査のたびに突起が摩耗するので、アルミ酸化膜を破る能力が徐々に失われ、接続抵抗が上昇し検査条件が不安定となる。

【0005】また、検査終了後の半導体21の多くは、金またはアルミのワイヤボンディングにより搭載基板と電気的に接続する。または、金パンプを入出力パッド22へ取り付けした後、接着樹脂や異方導電性フィルムを介

して基板へ搭載する。上記従来の検査方法によると、検査時のパンプ接触による損傷が入出力パッド22のアルミ表面に残っており、このためワイヤボンディングや金パンプボンディングの接着強度が低下する。半導体の高集積化・高機能化と共に、入出力パッド22は多ピン化・狭ピッチ化するため、パッド面積はさらに縮小する傾向にあり、微小な損傷でも著しい強度低下を引き起こす可能性ある。

【0006】本発明の目的は、安定した接続抵抗による半導体検査を実現し、検査後の半導体の接続信頼性を確保するための半導体検査装置を提供することにある。

【0007】

【課題を解決するための手段】本発明に係る半導体検査装置は、半導体の入出力端子に複数の突起電極を形成し、この突起電極を介して電気的接続を得る半導体検査装置において、少なくとも突起電極の配列領域を含むように配置された可撓性の絶縁フィルムと、絶縁フィルム上に形成された配線パターンとを設ける。半導体を検査する際は、突起電極の高さのばらつきに応じて絶縁フィルムまたは配線パターンが弾性変形するので、突起電極と配線パターンの接触面の形状および面積は一定に保たれる。また、半導体の入出力端子には予め突起電極が形成されているので、検査の際に入出力端子表面のアルミ酸化膜を破る必要はなくなり、検査を繰り返しても接触部分の摩耗による接続抵抗の上昇の問題は生じない。よって、多数の半導体を検査しても接続抵抗を安定に保つことができる。また、入出力端子のアルミ表面は検査による損傷を受けないので、検査終了後の半導体についても接続信頼性の劣化は生じない。

【0008】

【発明の実施の形態】以下、この発明の実施例について図1乃至図4を用いて説明する。

【0009】図1は本発明に係る半導体検査装置の第一の実施例を示す断面図である。本発明に係る半導体検査装置では、検査の前に半導体21の入出力端子22に突起電極24を形成しておく。入出力端子22がアルミの蒸着膜で形成されている場合は、サーモゾニックボンディングを用いて、金ボールを入出力端子22の表面へ接続することで突起電極24を形成する。

【0010】半導体21の下面には、各突起電極24と接触できるように形成された配線パターン25と可撓性の絶縁フィルム26が配置される。TAB (Tape-Automated-Bonding) テープを用いれば、約35ミクロンの厚さを有する銅箔のエッチングにより、配線パターンの幅を約50ミクロン、配線間隔を約50ミクロンまで微細化することができる。TABテープの絶縁フィルム26の材料としては、50ミクロンまたは75ミクロンの厚さのポリイミドが広く用いられている。

【0011】図1では、フリップチップボンダ（図示せず）の位置合わせ機能を用いて配線パターン25の位置

(3)

特開 2000-214216

3

と半導体の突起電極 24 の位置を認識する。次いで、コレット 27 の吸着力 F により半導体 21 を保持し、配線パターン 25 と突起電極 24 が接触可能となる所定の位置まで移動させた後、コレット 27 を下降させることで、突起電極 24 と配線パターン 25 とを接触させる。

【0012】突起電極24はその形成方法により電極の高さにばらつきが生じる。電極の形成方法として一般に用いられている金ボールのサーモソニックボンディングでは、金ワイヤを引き千切った状態で、電極の高さは平均90ミクロン、ばらつきは±20ミクロンに達する。この高さばらつきを小さくする方法としては、平坦なツールを押し当てて突起の先端部をつぶす工程が良く用いられる。しかし、高さばらつきの低減には限界があり、以上の工程を施しても±5ミクロン程度の高さばらつきが残る。

【００１３】以上の平坦化工程を施した突起電極２４と配線パターン２５を接触させると、±５ミクロンの高さばらつきを吸収するように配線パターン２５と絶縁フィルム２６が弾性変形する。特に有機材料のポリイミドからなる絶縁フィルム２６の変形量が大きく、厚さ５０ミクロンまたは７５ミクロンの厚さのポリイミドが弾性変形する範囲内で、最大１０ミクロンの高さばらつきを充分吸収できる。この弾性変形により、全ての突起電極２４と配線パターン２５との電気的接続が確保され、半導体２１の機能を検査することができる。検査終了後、コレット２７の吸着力Ｆにより半導体２１を取り外せば、弾性変形していた配線パターン２５と絶縁フィルム２６は検査前の形状に復帰する。以上の操作を繰り返すこと

4

により、多数の半導体 21 に対して安定した電氣的接続による検査を実現できる。

[0 0 1 4]

【発明の効果】本発明の半導体検査装置によれば、半導体の入出力端子に形成した突起電極を介して電気的検査を行うので、入出力端子表面のアルミ蒸着膜は損傷を受けることはなく、検査の前後において半導体の接続信頼性が劣化することはない。

【0015】また、絶縁フィルムまたは配線パターンが突起電極の高さのばらつきに応じて弾性変形する方式なので、検査終了後に絶縁フィルムと配線パターンは検査前の形状に復帰する。従来例のようにアルミ酸化膜を破る必要はないので、多数の半導体を検査しても接続抵抗が上昇することはなく、検査条件を安定に保つことができる。

【図面の簡単な説明】

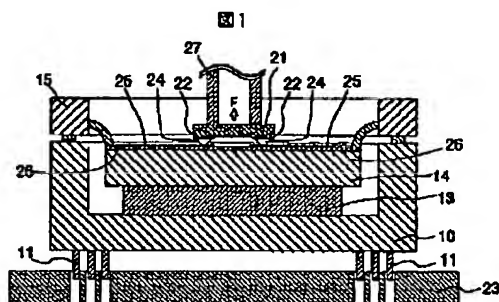
【図１】本発明に係る半導体検査装置の実施例を示す断面図である。

【図2】従来の半導体検査装置の実施例を示す断面図である。

【符号の説明】

10…ベース、11…ピン、12…弾性体、13…後板、14…スパーサ、15…ソケットコネクタ、16…コンタクトシート、17…パンプ、18…フェンス、19…フタ、20…ネジ、21…半導体、22…入出力端子、23…検査用基板、24…突起電極、25…配線パターン、26…絶縁フィルム、27…吸着コレット。

【图 1】



【图2】

